

PATENT ABSTRACTS OF JAPAN

03-9805-JS-B (3)

(11)Publication number : 04-075371

(43)Date of publication of application : 10.03.1992

(51)Int.Cl.

H01L 27/04
H01L 27/06

(21)Application number : 02-188024

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.07.1990

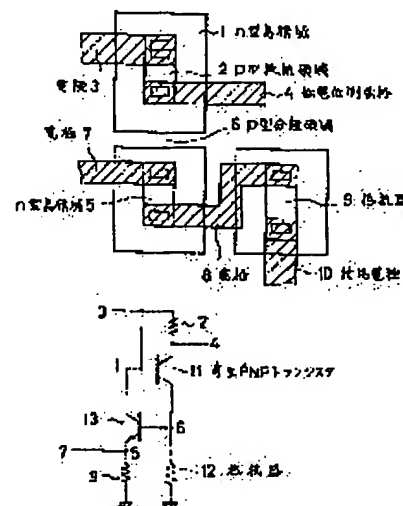
(72)Inventor : SADAMATSU HIDEAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain a very simple circuit constitution and to provide a circuit constitution without latch-up with only a slight increase of the area by connecting the base of a parasitic P-N-P transistor to the emitter or to a part of a resistor which is connected to the emitter.

CONSTITUTION: The base of a parasitic P-N-P transistor 11 is connected to the electrode of a p-type resistor region 2 on the high potential side. Therefore, the base potential becomes higher than the emitter potential, and the parasitic P-N-P transistor 11 is OFF. Thus, a current does not flow through a resistor 12. Since the potential of a p-type isolating region 6 of a parasitic N-P-N transistor is low, the N-P-N transistor 13 is also OFF. Therefore, the current does not flow, and latch-up does not occur.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-75371

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月10日

H 01 L 27/04

H
R

7514-4M

7514-4M

27/06

7210-4M H 01 L 27/06

1 0 1 D

審査請求 未請求 請求項の数 4 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-188024

⑰ 出 願 平2(1990)7月18日

⑱ 発 明 者 定 松 英 明 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

明 細 書

1. 発明の名称 半導体集積回路

2. 特許請求の範囲

(1) 一方導電型の基板上に他方導電型の第1島領域と他方導電型の第2島領域を有し、前記第1島領域内に一方導電型の第1拡散抵抗領域を有し、前記第1島領域と前記第2島領域が近接し、前記第1島領域と、前記第2島領域には含まれた、前記基板部から接地される電極がなく、かつ、前記第1拡散抵抗領域に接続される電極のうち最高電位に前記第1島領域の電位を取り、前記第2島領域が接地されていることを特徴とする半導体集積回路。

(2) 第2島領域と接地の間に第2抵抗を有することを特徴とする請求項(1)記載の半導体集積回路。

(3) 第2島領域に一方導電型の第2拡散領域を有し前記第2拡散領域をアノード、前記島領域をカソードとすることを特徴とする請求項(1)また

は(2)記載の半導体装置。

(4) 第2島領域上に第1電極を配し、前記第1電極と前記第2島領域をコンデンサとすることを特徴とする請求項(1)または(2)記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は高品質の半導体集積回路、特にラッチアップの少ない半導体集積回路に関するものである。

(従来技術)

従来の半導体集積回路では第5図に示すように1つの抵抗器を1つの島に設けることにより、その島の電位を取らずに、集積度を上げている。以下第5図にしたがって説明する。第5図(a)はパターン図、第5図(b)は等価回路図を示す。21はn型島領域、22はn型島領域21内のp型抵抗領域、23、24はp型抵抗領域22から取り出した電極であり、23が高電位側である。25はn型島領域、26はn型島領域21とn型島領域25を分離するp型分離領域、27、28はn型島領域25より取出した電極で

あり、電極28よりp型抵抗器29を通じて接地電極30に接続されている。1つのn型島領域21の内に1つのP型抵抗領域22を入れた場合には、n型島領域21を浮かせておいてもn型島領域21とp型抵抗領域22の間には電流が流れない。このため島領域の電位を取る必要がなく、①n型島領域21と電極の接続領域が不要であり、②高電位(電源電圧)とn型島領域21との接続パターンが不要という2点から集積度をあげることができた。

(発明が解決しようとする課題)

しかしながら、第5図(a)に示すような場合、すなわちn型島領域21に近接してn型島領域25があり、n型島領域25に接続されたp型抵抗器29の他方が接地されている場合には、p型抵抗領域22、n型島領域21、p型分離領域26をそれぞれエミッタ・ベース・コレクタとする寄生PNPトランジスタ31とn型島領域21、p型分離領域26、n型島領域25をそれぞれコレクタ・ベース・エミッタとする寄生NPNトランジスタ32が形成されPNP構造のサイリスタとなる。また、P型分離領域

26が接地から遠いとp型分離領域26と接地間に抵抗器が付加された状態になり、この等価回路を第5図(b)に示す。p型分離領域26が接地から遠いと、電位が高くなり、寄生NPNトランジスタ32をONさせる。寄生NPNトランジスタ32がONすると寄生PNPトランジスタ31のコレクタ電流すなわち寄生PNPトランジスタ31のベース電流を流し、寄生PNPトランジスタ31がONしてベース電流の h_{FE} 倍の電流を寄生PNPトランジスタ31のコレクタに流す。そして抵抗器33により寄生NPNトランジスタ32のベース電位をさらに上昇させ、より電流を流すようになり、その結果、寄生PNPトランジスタ31、寄生NPNトランジスタ32が飽和するまで電流を増加させていく。特に抵抗器33が小さい場合またはない場合には過大電流が流れることになる。

本発明の目的は、従来の欠点を解消し、きわめて簡単な回路構成と、わずかな面積増加だけで、ラッチアップのない回路構成ができる半導体集積回路を提供することである。

(課題を解決するための手段)

本発明の半導体集積回路は寄生PNPトランジスタのベースをエミッタと接続またはエミッタに接続された抵抗器の一部と接続することにより、ベース電位をエミッタ電位以上にするこで寄生PNPトランジスタの動作をしないようにするのである。

(作用)

本発明は上記した構成により、寄生PNPトランジスタのベース電流がゼロとなり、コレクタ電流もゼロになる。このため寄生PNPトランジスタのコレクタ～接地間の寄生抵抗の電圧は小さくなり、寄生NPNトランジスタのベース電位は低くなるため、寄生NPNトランジスタはONしない。したがって寄生NPNトランジスタ電流も流れないためラッチアップは起こらない。

(実施例)

第1図は本発明の半導体集積回路の一実施例を示すもので(a)に表面パターン図、(b)に等価回路図を示す。

1はn型島領域、2はp型抵抗領域、3はn型島領域1とp型抵抗領域2の高電位側を接続した電極、4はp型抵抗領域2の低電位側電極、5はn型島領域、6はn型島領域1とn型島領域5を分離するp型分離領域、7、8はn型島領域を接続する電極、9はn型島領域と接地電極10を接続する抵抗器であり、等価回路図(b)はパターン図(a)の等価回路を示し、各領域の番号と等価回路の位置番号を統一している。寄生PNPトランジスタ11のベースがp型抵抗領域2の高電位側の電極と接続されているため、ベース電位がエミッタ電位より高電位となり、寄生PNPトランジスタ11はOFFしている。このため、抵抗器12に電流が流れず、寄生NPNトランジスタ13のp型分離領域6の電位が低いと、このNPNトランジスタ13もOFFである。したがって電流は流れず、ラッチアップは起こらない。

第2図は本発明の他の実施例を示し、番号1ないし8は第1図と同様である。この例の場合は寄生NPNトランジスタ13のエミッタが直接接地さ

れているが、第1図と同様ラッチアップは起こらない。

第3図は本発明の他の実施例を示し、番号1ないし8は第1図と同様である。14はn型島領域5内に形成されたp型拡散領域で、等価的にダイオードが接続された場合である。ダイオードがある場合にも同様にラッチアップが防止できる。

第4図は本発明のさらに他の実施例を示し、番号1ないし8は第1図と同様である。この場合、n型島領域5上に電極があり、n型島領域5と電極7の間でコンデンサが構成されている場合である。

実施例第3図および第4図では寄生NPNトランジスタ13のエミッタが直接接地されているが、NPNトランジスタ13のエミッタと接地の間に抵抗器が接続されている場合も同様である。

(発明の効果)

本発明によれば、きわめて簡単な回路構成と、わずかな面積増加だけで、ラッチアップのない回路構成ができ、高品質と高信頼性の半導体集積回路が得られ、その実用上の効果は大である。

4. 図面の簡単な説明

第1図、第2図、第3図、第4図は本発明の実施例における半導体集積回路の回路図で、(a)は表面パターン図、(b)は等価回路図、第5図は従来の半導体集積回路の回路図で、(a)は表面パターン図、(b)は等価回路図である。

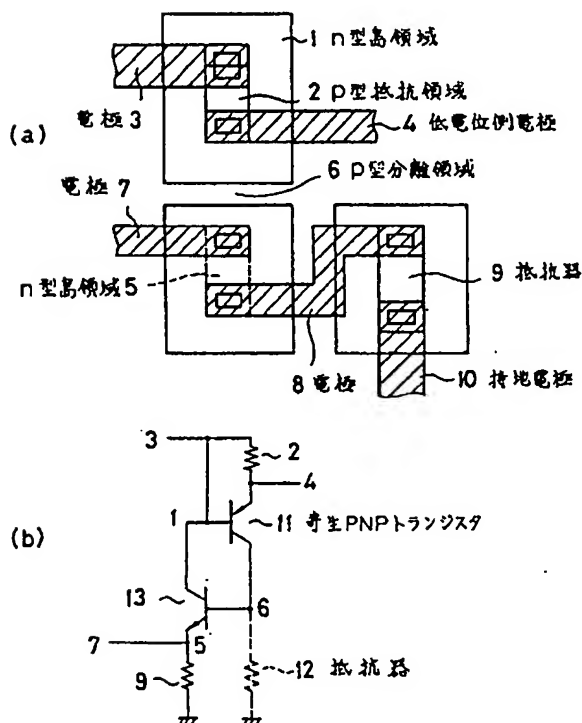
1, 5 … n型島領域、2 … p型抵抗領域、3, 7, 8 … 電極、4 … 低電位側電極、6 … p型分離領域、9, 12 … 抵抗器、10 … 接地電極、11 … 寄生PNPトランジスタ、13 … 寄生NPNトランジスタ、14 … p型拡散領域。

特許出願人 松下電器産業株式会社

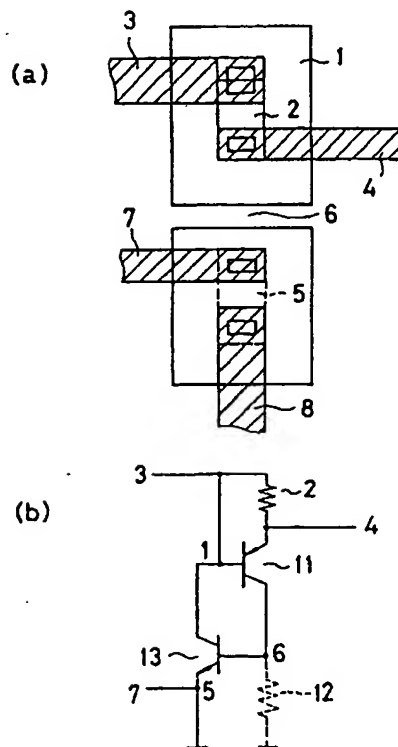
代理人 星野恒司



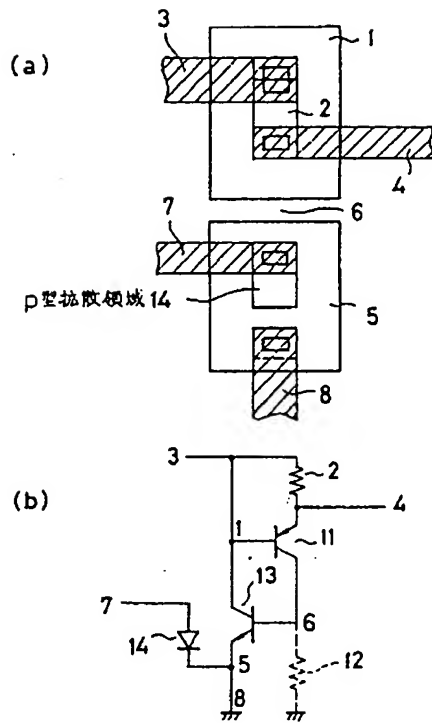
第 1 図



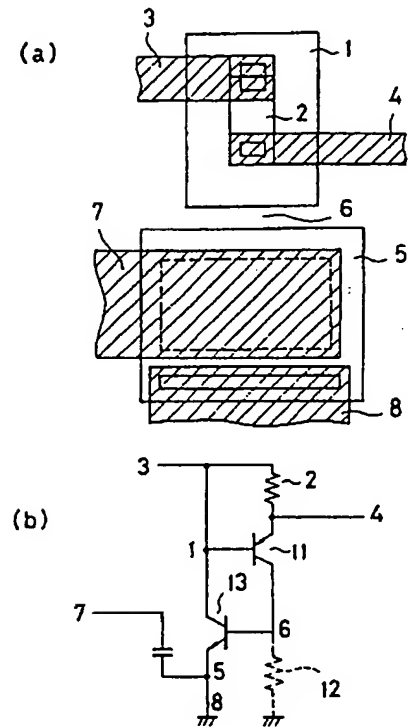
第 2 図



第 3 図



第 4 図



第 5 図

